

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-079081

(43)Date of publication of application : 04.04.1991

(51)Int.Cl.

H01L 29/784

(21)Application number : 01-215537

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.08.1989

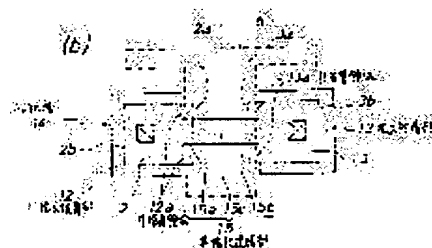
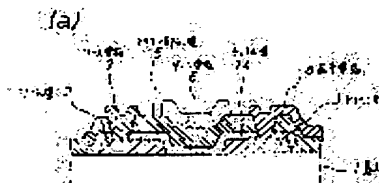
(72)Inventor : YUDASAKA KAZUO

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To eliminate irregularity in ON current capacity by providing a pair of enlarged covering parts covering both a source film and a drain film as shape elements of a channel film and an equal width coupling part for coupling them, and exposing the superposed part of the coupling part only in a region along the inner edge of the source or drain film.

CONSTITUTION: A channel film 14 is formed of a pair of right and left enlarged covering parts 12, 13, and an equal width coupling part 15 of a small width for coupling them. The part 15 is set to a narrower value than the difference between the length of opposed inner edges 2a, 3a of the films 2, 3 and the length of twice as long as the matching margin of the film 14 itself, and formed of superposed parts 15a, 15b superposed on the films 2, 3 and an effective channel part 15c extending to the intermediate between the parts 15a and 15b. On the other hand, the parts 12, 13 cover the outer steps 2b, 3b of the films 2, 3, but the small regions near the edges 2a, 3a are exposed. Thus, irregularity in ON current capacity due to the irregularity in the alignment accuracy can be eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平3-79081

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月4日

H 01 L 29/784

9056-5F

H 01 L 29/78

3 1 1 H

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 平1-215537

⑰ 出 願 平1(1989)8月22日

⑱ 発 明 者 湯 田 坂 一 夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) 絶縁基板上に相対向する内端縁を平行にして隔設された不純物添加の多結晶シリコンたるソース膜及びドレイン膜を有する薄膜トランジスタにおいて、

該ソース膜と該ドレイン膜の上に跨がって形成された多結晶シリコンのチャネル膜が該内端縁の長さに対して狭い等幅状連結部とその両端に一体連結された左右一対の拡大被覆部とを有し、該等幅状連結部は該ソース膜及び該ドレイン膜に重なり被着する重合せ部とこれら重合せ部間に延在する実効チャネル部とから構成され、該拡大被覆部は該内端縁について該重合せ部の長さにはほぼ相当する領域のみを除き夫々該ソース膜又はドレイン膜を隠すことを特徴とする薄膜トランジスタ。

(2) 前記拡大被覆部には前記重合せ部との間に欠損部を設けて前記内端縁側のコーナ部を隠す張出

被覆部が一体連結されていることを特徴とする請求項第1項に記載の薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、チャネル膜に多結晶シリコンを用いたスタガー構造の薄膜トランジスタ(TFT)に関し、詳しくはチャネル膜の平面形状の改良に関する。

〔従来の技術〕

従来、TFT低温プロセス等に適用されるスタガー構造を備えた多結晶シリコン薄膜トランジスタの構造は、第5図(a)に示すように、石英ガラス、ハードガラス等の透明絶縁基板1上に相離間して形成されたリン・ドーパのソース膜2及びドレイン膜3と、そのソース膜2とドレイン膜3との間に重なり余裕をもったアンドープの多結晶シリコン膜たるチャネル膜4と、チャネル膜4上にMOS(MIS)部を形成すべき絶縁膜たる薄いシリコン酸化膜5及びN型高濃度の多結晶シリコンなどのゲート電極6と、ソース膜2及びドレ

イン膜3にコンタクトホールを介して導電接触するアルミニウムのソース電極7及び透明電極としての画素電極(ドレイン電極)8と、を備えるものである。

チャネル膜4は第5図(b)に示す如くソース膜2とドレイン膜3の上に跨がって形成されており、その平面形状はソース膜2又はドレイン膜3の相対向する内端縁の長さWに比して狭く、細幅寸法wの等幅状とされている。これは、チャネル膜形成用マスクのマスクずれを考慮して、第5図における上下方向にマスクずれが発生した場合でも、形成されるチャネル反転層の実効チャネル幅が必ず細幅寸法wとなることを保証し、オン抵抗ないしオン電流値のバラつきを抑えるためである。

一方、かかる構造の薄膜トランジスタ(TFT)におけるチャネル膜4を得るまでのプロセスは、まず第6図(a)に示す如く、例えばハードガラス等の透明絶縁基板1上に低圧CVD法あるいはイオン打込み法などによりリン・ドーパの多結晶シリコン膜を被覆してから、その膜をパターニン

生成物(フッ化ケイ素化合物)10が、エッチングマスクたるレジスト9の側面に付着してしまう。この付着した反応生成物10は第6図(e)の通常のリジスト除去工程(O:プラズマ、熱硫酸)によってもはなはだ除去困難で、チャネル4の表面にそのまま残滓として付着し、MOS界面の異常としてトランジスタ特性の劣化をまねいていた。

このような反応生成物によるチャネル膜4の表面汚染を防止する策としては次の製造方法が提案された。

まず、第7図(a)に示すように、レジストパターン20をソース膜2及びドレイン膜3上に形成するが、このレジストパターン20はその側面20aがソース膜2及びドレイン膜3の外側段差2a、3aまで含めて両膜2、3を完全に被覆するように形成する。次に、第7図(b)に示すように、CF₄によるプラズマエッチングを施し、多結晶シリコン膜4'の露出領域4'aを除去する。このプラズマエッチング工程は多結晶シリコン膜4'のエッチ途中で終了せずに、基板1の表面が完全

グ、エッチングにより相離間したソース膜2及びドレイン膜3を形成する。次に、第6図(b)に示すように、ソース膜2及びドレイン膜3上に多結晶シリコン4'を全面被覆した後、第6図(c)に示すように、レジスト塗布、パターニングによってソース膜2及びドレイン膜3の上部に側面が位置するレジストパターン9を形成する。この後、第6図(d)に示すように、CF₄によるプラズマエッチングにより多結晶シリコン膜4'の露出領域を除去し、下層のソース膜2及びドレイン膜3を露出させ、しかる後第6図(e)に示すように、通常のリジスト除去工程(O:プラズマ、熱硫酸)でレジストパターン9を除去し、チャネル膜4を得る。

ところが、薄い多結晶シリコン膜4'をCF₄によるプラズマエッチングでチャネル膜4を得る工程(第6図(d))においては、ソース膜2及びドレイン膜3を残す必要性から、両膜2、3のエッチ途中でプラズマエッチングを適度に終了させなければならないが、シリコンとCF₄の反応

に露出するまで行なわれ、引き続き若干のオーバーエッチを施す。このプラズマエッチング工程においては、エッチングされる多結晶シリコン膜4'のシリコンとエッチャントとしてのCF₄が反応してフッ化ケイ素化合物とみられる反応生成物が発生するが、多結晶シリコン膜4'の露出領域4'aのエッチ途中でプラズマエッチングを終了するものでなく、その露出領域の完全除去後にオーバーエッチが施されるから、それ以前に生じた反応生成物は一掃される。したがって、オーバーエッチの施行後ではレジストパターン20の側面等に反応生成物の付着が起こらない。

次に第7図(c)に示すように、レジストパターン20を通常の方法(O:プラズマ、熱硫酸)で除去し、ソース膜2及びドレイン膜3の外側段差2a、3a上にも外側段差被覆部4'aを有するチャネル膜4'が得られる。このチャネル膜4'の表面には反応生成物の残滓が付着しておらず、清浄なMOS界面が得られる。このため、MOS界面汚染によるトランジスタの特性劣化の問題が

解消される。

(発明が解決しようとする課題)

このようにして製造された薄膜トランジスタの断面構造を第8図(a)に、またその平面構造を第6図(b)に夫々示すが、ソース膜2及びドレイン膜3をその露出領域がない状態でチャネル膜4"が被覆しているため、新たな問題点が発生する。

即ち、チャネル膜4"のアライメント精度のバラつきにより、チャネル膜4"は第8図(b)に示す正規の位置に対して第9図に示すように実効チャネル長さの直角方向へずれることがある。ここで、チャネル膜4"の幅寸法を W_1 とし、はみ出し幅を d_1 、 d_2 とすれば、 $W_1 = W + d_1 + d_2$ の関係式が常に成立しているが、アライメント精度のバラつきで、 $d_1 \neq d_2$ の不斉一が不可避免的に生じる。例えば第9図に示すように、 $d_1 < d_2$ のようにアライメントされると、はみ出し幅 d_2 の領域4"aには膨出したチャネル反転層が形成されると共に、ソース膜2又はドレイン膜

3のコーナエッジに電界集中が発生する。このため、オン電流容量のバラつきが生じてしまい、薄膜トランジスタの歩留りの低下を招いていた。

本発明は上記問題点を解決するものであり、その課題は、チャネル膜の平面形状を改良することにより、チャネル膜自体のプラズマエッチングによるパターニングの際における反応生成物のチャネル膜への付着を極力防止することは勿論のこと、不可避免的に生じるアライメント精度のバラつきに対しても、チャネル反転層の実効チャネル長さ及び実効チャネル幅にバラつきがなく、オン電流容量のバラつきのない薄膜トランジスタを提供することにある。

(課題を解決するための手段)

上記課題を解決するために、本発明の講じた手段は、プラズマエッチング時においてソース膜及びドレイン膜をほぼ全面的に覆う一對の拡大被覆部とこれらを一体連結しチャネル反転層を形成すべき等幅状連結部とからなる多結晶シリコンのチャネル膜を設けたものである。等幅状連結部はソ

ース膜又はドレイン膜に重なり被着する重合せ部とこれら重合せ部間に延在する実効チャネル部とを有するものであるが、この等幅状連結部の両端に一体連結する拡大被覆部は、例えばソース膜とドレイン膜の相対向する内端縁について重合せ部の長さにはほぼ相当する領域のみだけの非被覆領域以外を被覆している。また別の拡大被覆部の平面形状としては、上記の非被覆領域において付け根の重合せ部との間に欠損部を設けて上記内端縁側のコーナ部を隠す張出被覆部を有している。

(作用)

かかるチャネル膜の形状によれば、実効チャネル長さ方向に対して直角方向にアライメント精度のバラつきが生じた場合、ソース膜又はドレイン膜の内端縁の長さに対して狭い等幅状連結部によって形成されるチャネル反転層の実効チャネル幅のバラつきは生じない。また、実効チャネル長方向にアライメント精度のバラつきが生じた場合、拡大被覆部の内端縁が重合せ部の長さだけソース膜又はドレイン膜の内端縁から逃げており、それ

からはみ出ないことから、形成されるチャネル反転層の実効チャネル長方向については常に均一のチャネル幅を有している。このため、チャネル反転層はソース膜とドレイン膜との間隔たる実効チャネル長と等幅状連結部の幅寸法たる実効チャネル幅とを必ず有するので、オン電流容量のアライメント精度依存性を解消することができる。一方、ソース膜及びドレイン膜の内端縁側に沿う局部的領域が拡大被覆部で覆われていないが、この露出領域は被覆領域に比して相対的に小面積を占めるだけであるから、チャネル膜自体のプラズマエッチングによるパターニング工程では反応生成物の付着のおそれは少なく、エッチング後のレジスト除去で殆ど完全に一掃される。

更に、重合せ部との間に欠損部を設けてソース膜及びドレイン膜の内側コーナ部を隠す張出被覆部を拡大被覆部に形成した場合には、実効チャネル長方向にアライメント精度のバラつきが生じ、張出被覆部がソース膜又はドレイン膜の内端縁よりはみ出したとしても、欠損部が実効チャネル幅

の拡大を防止する。また張出被覆部の存在によりソース膜又はドレイン膜の露出領域が大幅に減少する。そしてその露出領域は欠損部の一部だけである。

〔実施例〕

次に、本発明の実施例を添付図面に基づいて説明する。

第1図(a)は本発明の第1実施例に係る薄膜トランジスタの構造を示す断面図で、第1図(b)は同構造の平面図である。なお、第1図において第8図に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

この実施例におけるチャネル膜14は、ソース膜2及びドレイン膜3をほぼ全面的に覆う左右一对の拡大被覆部12、13と、これらを連結する細幅の等幅状連結部15とから構成されている。等幅状連結部15は、その幅がソース膜2及びドレイン膜3の相対向する内端縁2a、3bの長さでチャネル膜14自体の合せ余裕の2倍の長さとの差よりも狭く設定されており、ソース膜2及びドレイン膜3

により、拡大被覆部14の内端縁はソース膜2の内端縁2aよりはみ出さない。このため、斜線で示す領域の実効チャネル部15cの幅寸法はその長さ方向について常に均一である。したがって、通常のアライメント精度のバラつきが製造プロセス(チャネル膜14のパターニング工程)で不可避免的に発生しても、かかる形状のチャネル膜14であれば、そのバラつきが実効チャネル部の長さ及び幅寸法のバラつきを惹起させることはない。換言すれば、このチャネル膜14の形状がアライメント精度のバラつきと実効チャネル部の形状バラつきとの因果関係を断つ機能を有する。したがって、アライメント精度のバラつきがあっても、オン電流容量のバラつきが抑制されたトランジスタが得られる。

第1図(b)の正規の位置又は第2(a)、(b)のずれた位置においても、チャネル膜14の非被覆領域12a、13aの総面積は常に一定であり、この総露出面積はソース膜2及びドレイン膜3の被覆面積に比して僅かであるから、このチャネル膜14のプラズマエッチングによるパターニング工

に重なりこれを覆う重合せ部16a、16bと、その中間に延在する実効チャネル部15cとからなる。一方、拡大被覆部12、13はソース膜2及びドレイン膜3の外側段差2b、3bまで被覆しているが、内端縁2a、3bの近傍の小領域は露出されている。即ち、重合せ部15a、15bの長さ分について内端縁2a、3aに沿う領域が非被覆領域12a、13aとされている。

このような形状のチャネル膜14を有する構造においては、例えば第2図(a)の矢印方向(実効チャネル長方向の直角方向)にアライメント精度のバラつきによりずれが生じた場合でも、等幅状連結部15の幅寸法がソース膜2及びドレイン膜3の幅寸法よりも狭いので、等幅状連結部15の一部がソース膜2及びドレイン膜3の幅外にはみ出さない。したがって斜線で図示する領域の実効チャネル部15cにのみチャネル長及びチャネル幅の不変なチャネル反転層が形成される。また、例えば第2図(b)の矢印方向(実効チャネル長方向)にずれた場合でも、非被覆領域12a、13aの存在

における反応生成物のレジストへの付着量はきわめて少ない。このレジストに付着した微量の反応生成物はその後のレジスト除去工程によってほぼ完全に一掃される。したがって、MOS界面が清浄で特性・品質の向上したトランジスタが得られる。

第3図は本発明の第2実施例に係る薄膜トランジスタの構造を示す平面図である。

この実施例において第1実施例と異なる点は、チャネル膜18の拡大被覆部12、13にはその内端縁側に張出被覆部12a、13bが一体的に連結形成されており、この張出被覆部12b、13bはソース膜2及びドレイン膜3の内端縁2a、2b側のコーナ部を隠している。張出被覆部12b、13bと重合せ部15a、15bとの間にはスリット状欠損部12c、13cが形成されている。このスリット欠損部12c、13cの幅寸法は微細加工限界に近い僅小の値に設定することが望ましい。

かかる形状のチャネル膜15によれば、第4図に示すように、アライメント精度のバラつきにより

矢印方向にずれた場合でも、第1実施例と同様に、形成されるチャネル反転層の形状・寸法は不変であり、ソース膜2及びドレイン膜3の露出領域(斜線で示す領域)の総面積も不変である。スリット欠損部12a, 13cの存在により実効チャネル長方向にチャネル膜15がずれても、オン電流容量のバラつきを生じさせない。また張出被覆部12b, 13bの存在によりソース膜2及びドレイン膜3の露出面積を第1実施例の場合に比して減少させることができる。

(発明の効果)

以上説明したように、本発明はチャネル膜の形状要素としてソース膜及びドレイン膜の双方を覆う一対の拡大被覆部とこれらを連結する等幅連結部とを有し、等幅状連結部のうち重合せ部の長さ分についてソース膜及びドレイン膜の内端縁に沿う領域だけ露出させた点に特徴を有するものであるから、次の効果を奏する。

① 細幅の等幅状連結部と非被覆領域の存在により、アライメント精度のバラつきによっても、形

成されるチャネル反転層の形状・寸法が不変となるから、これに起因するオン電流容量のバラつきを解消できる。換言すれば、上記形状のチャネル膜がアライメント精度のバラつきを有効的に吸収すると言える。

② 非被覆領域の存在により、ソース膜及びドレイン膜は完全には隠されていないが、その露出領域はきわめて僅かであるから、当該チャネル膜のプラズマエッチングによるバターニング工程において生じる反応生成物の付着は僅小であるので、その後のレジスト除去と同時に充分一掃され得る。したがって、MOS界面の汚染を解消することができ、トランジスタ特性の向上に寄与する。

③ 更に、拡大被覆部が重合せ部に対し欠損部をおいた張出被覆部を有する場合には、欠損部の一部が露出するだけであるから、上記②の効果が一層顕著なものとなる。

4. 図面の簡単な説明

第1図(a)は本発明の第1実施例に係る薄膜トランジスタの構造を示す断面図で、第1図(b)

)は同構造の平面図である。

第2図(a), (b)は同実施例においてアライメント精度のバラつきによりチャネル膜がずれた状態を示す平面図である。

第3図は本発明の第2実施例に係る薄膜トランジスタの構造を示す平面図である。

第4図は同実施例においてアライメント精度のバラつきによりチャネル膜がずれた状態を示す平面図である。

第5図(a)は従来の薄膜トランジスタの構造を示す断面図で、第5図(b)は同構造の平面図である。

第6図(a)乃至(e)は同従来構造においてチャネル膜を得るまでのプロセスを説明する断面図である。

第7図(a)乃至(c)は同従来構造におけるチャネル膜のバターニング工程を改良したプロセスを説明する断面図である。

第8図(a)は同改良プロセスにより得られた薄膜トランジスタの構造を示す断面図で、第8図

(b)は同構造の平面図である。

第9図は同改良プロセスにより得られた薄膜トランジスタにおいてアライメント精度のバラつきによりチャネル膜がずれた状態を示す平面図である。

(符号の説明)

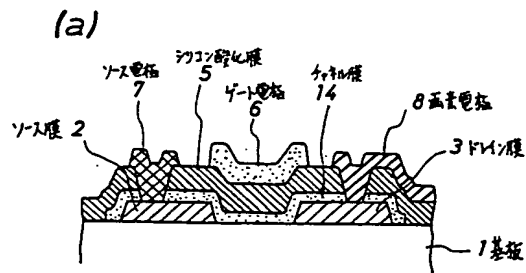
1…透明絶縁基板、2…ソース膜、2a, 3a…内端縁、3…ドレイン膜、5…シリコン酸化膜、6…ゲート電極、7…ソース電極、8…画素電極(ドレイン電極)、12, 13…拡大被覆部、12a, 13a…非被覆領域、12b, 13b…張出被覆部、12c, 13c…スリット状欠損部、14, 18…チャネル膜、15…等幅状連結部、15a, 15b…重合せ部、15c…実効チャネル部。

特許出願人 セイコーエプソン株式会社

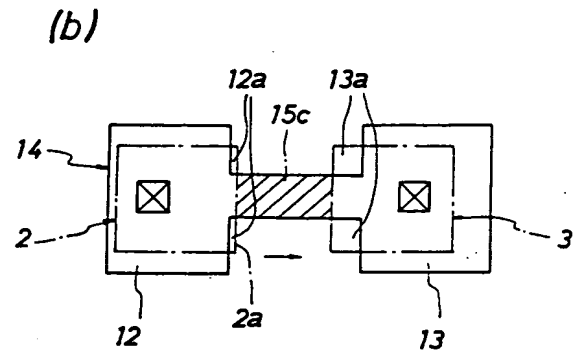
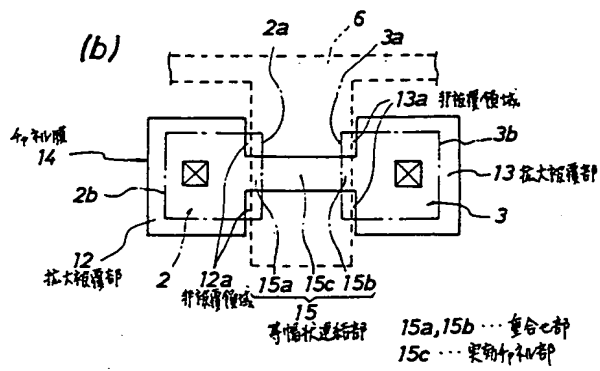
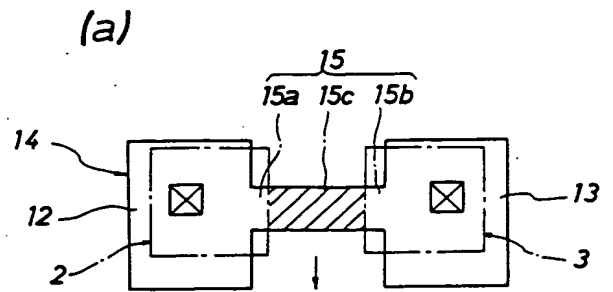
代理人 弁理士 鈴木 喜三郎

(他 1名)

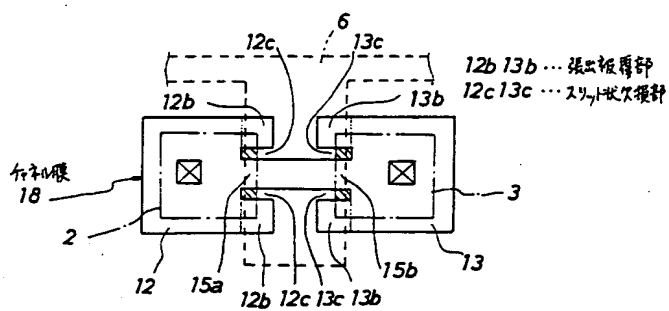
第1図



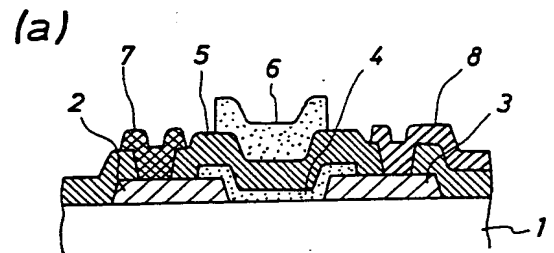
第2図



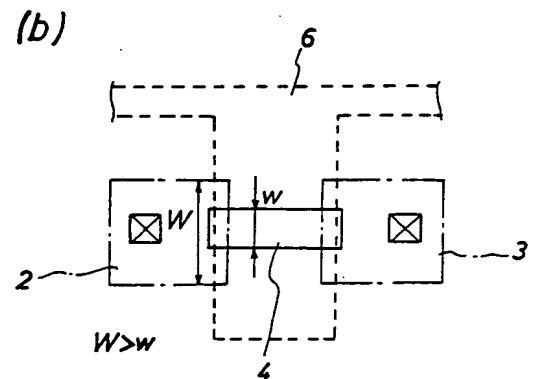
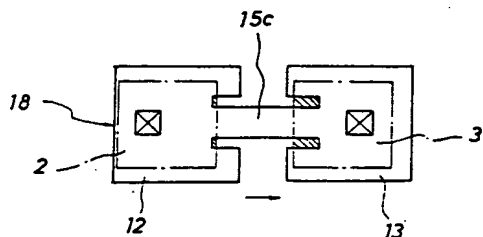
第3図



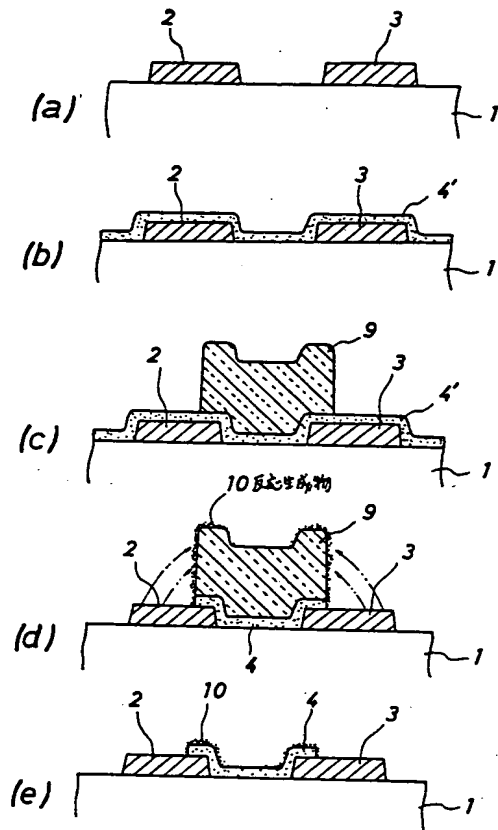
第5図



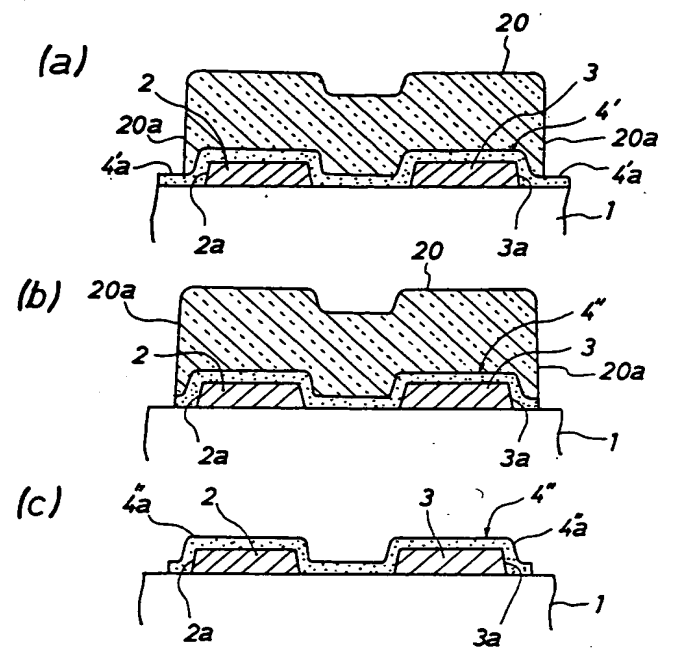
第4図



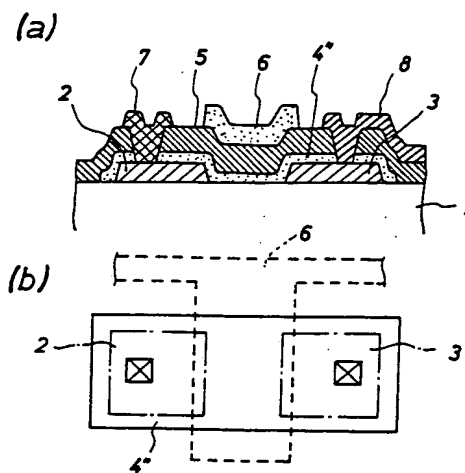
第 6 圖



第 7 圖



第 8 圖



第 9 圖

